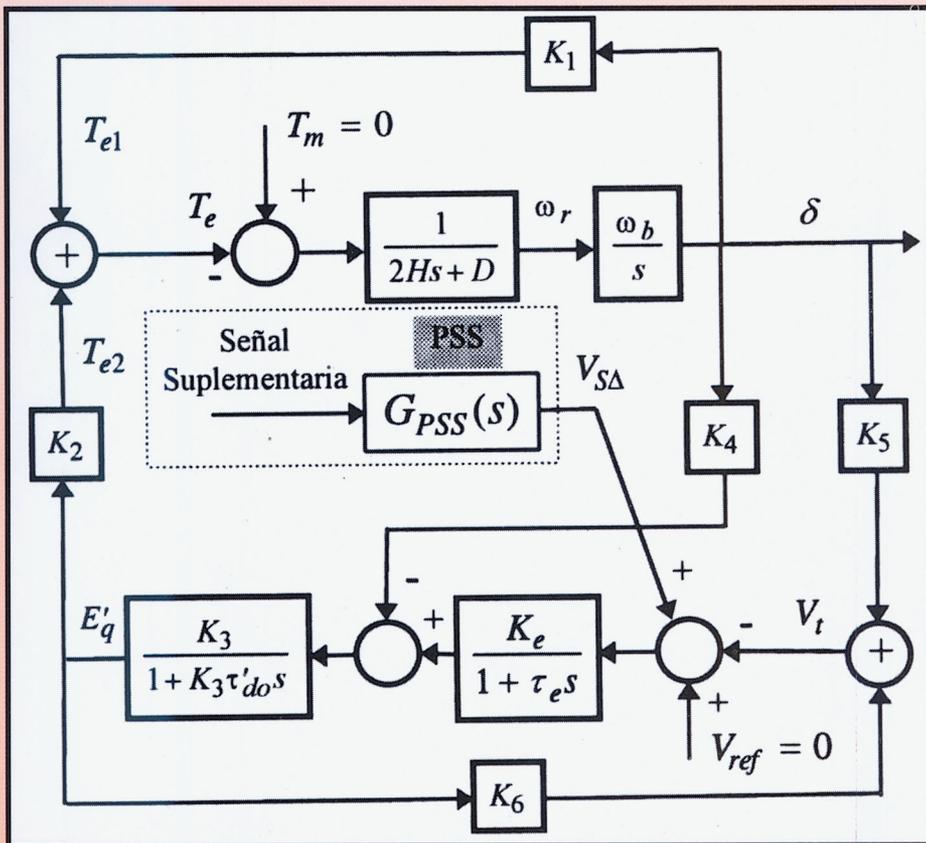


Ingeniería

Revista de la Universidad de Costa Rica
Enero/Junio 1997 VOLUMEN 7 N° 1



ISSN 1409-2441

INGENIERIA

Revista Semestral de la Universidad de Costa Rica
Volumen 7, Enero/Junio 1997 Número 1

DIRECTOR

Rodolfo Herrera J.

CONSEJO EDITORIAL

Víctor Hugo Chacón P.

Ismael Mazón G.

Domingo Riggioni C.

CORRESPONDENCIA Y SUSCRIPCIONES

Editorial de la Universidad de Costa Rica
Apartado Postal 75
2060 Ciudad Universitaria Rodrigo Facio
San José, Costa Rica

CANJES

Universidad de Costa Rica
Sistema de Bibliotecas, Documentación e Información
Unidad de Selección y Adquisiciones-CANJE
Ciudad Universitaria Rodrigo Facio
San José, Costa Rica

Suscripción anual:

Costa Rica: ₡ 1 000,00

Otros países: US \$ 25,00

Número suelto:

Costa Rica: ₡ 750,00

Otros países: \$ 15,00



Edición aprobada por la Comisión Editorial de la Universidad de Costa Rica
© 1998 EDITORIAL DE LA UNIVERSIDAD DE COSTA RICA
Todos los derechos reservados conforme a la ley
Ciudad Universitaria Rodrigo Facio
San José, Costa Rica.

Revisión Filológica: *Lorena Rodríguez*

Diseño Gráfico, Diagramación y Control de Calidad:
Sergio Aguilar Mora

*Impreso en la Oficina de Publicaciones
de la Universidad de Costa Rica*

Revista
620.005
I-46i

Ingeniería / Universidad de Costa Rica. —
Vol. I, no. 1 (ene./jun. 1991)— . — San José, C. R. : Editorial de
la Universidad de Costa Rica, 1991— (Oficina de Publicaciones de la
Universidad de Costa Rica)
v. : il

ISSN 1409-2441

Semestral.

1. Ingeniería - Publicaciones periódicas.

CCC/BUCR—250



DISEÑO DIGITAL CON CAPACIDAD DE PRUEBA

Geovanny Delgado¹

RESUMEN

Este es un artículo introductorio y retrospectivo sobre el problema de las fallas en los sistemas digitales. En este artículo se presenta el problema desde una perspectiva histórica con el afán de resumir el acontecer en este campo de investigación. A partir de este artículo es posible entender el estado actual del arte en la detección y localización de fallas en sistemas digitales.

SUMMARY

This is an introductory and retrospective paper about the problem of the faults in digital systems. This paper sample the problem from a historical perspective with the desire of summarizing the happen in this field of investigation. With this paper is possible to understand the current state of the art in the detection and localization of faults in digital systems.

INTRODUCCIÓN

Desde que el hombre desarrolló su primera máquina se enfrentó al problema más importante que restringe su disponibilidad: las fallas.

Uno de los principales requerimientos de un sistema computador es la capacidad de tal sistema para operar apropiadamente durante un periodo largo de tiempo. Este requerimiento cobra particular importancia en ambientes de sistemas de tiempo real y tiempo compartido. Para satisfacerlo, el sistema debe ser probado periódicamente con el objeto de verificar si está operando apropiadamente. Si cualquier operación inadecuada es detectada, la unidad fallante debe ser identificada para repararla o reemplazarla. El conjunto de pruebas que se utilice para tal fin debe ser completo, es decir, debe ser capaz de detectar cualquier falla que se presente en el sistema. Además, tal conjunto debe ser lo más pequeño posible, esto con el objetivo de minimizar el tiempo de mantenimiento del equipo.

La confiabilidad de una máquina y, en particular, de una máquina electrónica digital, está

definida en términos del tiempo que transcurre antes de que la máquina falle; este índice ha sido ampliamente estudiado y utilizado en la evaluación de los sistemas digitales modernos, se le conoce como Tiempo Medio Entre Fallas o, de las siglas en inglés, MTBF [13], [2].

Toda máquina falla. Cuanto más tarde en fallar, más confiable es. Sin embargo, cuando falla se requiere que la máquina pueda ser reparada en el mínimo tiempo posible, es decir, que esté un tiempo mínimo fuera de servicio, este tiempo está indicado por un parámetro conocido como el Tiempo Medio para la Reparación (MTTR) [13], [2].

El MTTR estará definido por la complejidad del sistema, de las tarjetas electrónicas que componen tal sistema y, en última instancia, por la complejidad de los circuitos integrados que componen estas tarjetas. De tal manera que, la reparabilidad de la máquina estará siempre en función de la dificultad para detectar una falla en el sistema, la cual es generada por algún componente fallado o alguna conexión inadecuada entre los componentes.

¹ Ingeniero electricista M. Sc.
Profesor de la Escuela de Ingeniería Eléctrica. U.C.R.

Las fallas, consecuentemente, han sido estudiadas ampliamente por los fabricantes, tanto de equipos terminados, como de circuitos integrados [19]. Un gran esfuerzo ha sido dedicado en este sentido en las últimas dos décadas, encontrándose resultados muy positivos, que han permitido el avance en la densidad de integración, con índices de confiabilidad aceptables.

El problema desde una perspectiva integral

El problema de eliminar las fallas de un sistema no solo se presenta para sistemas que han sido puestos en funcionamiento en el campo, sino para suprimirlas en la fabricación misma, sean equipos, tarjetas o circuitos integrados [21]. En síntesis, la eliminación de fallas es un requisito indispensable para el control de la calidad de los sistemas digitales.

La eliminación de una falla se puede concebir desde el diseño mismo del sistema digital. Para ello una serie de técnicas han sido desarrolladas a partir de una amplia investigación del problema. Este conjunto de técnicas han sido agrupadas bajo la designación de: Diseño Tolerante a Fallas [8],[13].

El diseño tolerante a fallas puede representar desde un conjunto de recomendaciones para el diseñador [2], hasta métodos sistemáticos formalmente demostrados [13]. El diseño tolerante a fallas implica necesariamente **redundancia** [24], es decir, la posibilidad de multiplicar los subsistemas que ejecutan una función para evitar la salida de operación del conjunto si alguno de los subsistemas redundantes falla.

De esta manera en un sistema tolerante a falla, esta ocurrirá durante la operación normal del mismo, pero su efecto será automáticamente contrarrestado por la incorporación de redundancia, es decir, algunos accesorios dentro del sistema tales que, la operación normal pueda continuar aun en presencia de la falla. Estos accesorios consisten en más circuitería, más programación o una combinación de ambos; estos son redundantes en el sentido que pueden ser omitidos en el sistema libre de fallas, sin afectar su normal operación.

La mayoría de las aplicaciones recientes del diseño tolerante a fallas han sido desarrolla-

das en aplicaciones espaciales [13] y otras donde los equipos deben operar sin atenderse por largos periodos de tiempo. Además de estos ejemplos el diseño tolerante a fallas es deseable y, en algunos casos indispensable, en un amplio conjunto de aplicaciones donde la confiabilidad, la disponibilidad y la seguridad son de vital importancia.

Una segunda manera de eliminar las fallas es recurrir a técnicas que evalúan el comportamiento del sistema una vez construido. Estas técnicas han sido, en las últimas dos décadas, un importante campo de investigación. Los resultados de estas investigaciones se han denominado Técnicas para la Detección de Fallas [19],[24].

La Detección de Fallas conlleva implícitamente dos aspectos importantes [8]:

1. La generación de pruebas.
2. La verificación de pruebas.

La **generación de pruebas** es el proceso de generar una serie de estímulos para un circuito los cuales demostrarán su correcta operación. La **verificación de pruebas** es el proceso de probar que un conjunto de vectores de prueba son efectivas para ese fin.

Una gran cantidad de resultados han sido obtenidos con el objeto de obtener el conjunto de vectores que pueden ser utilizados para detectar una falla en el sistema [19]. En todos los casos se ha procurado minimizar el costo y el tiempo de aplicación del conjunto de pruebas. Técnicas como el Algoritmo D [5] o PODEM [13] (del inglés Path Oriented Decision Making) han sido aplicadas en la práctica con gran éxito.

Sin embargo, pese a los esfuerzos para mejorar los algoritmos o incrementar la velocidad de procesamiento en los equipos automáticos de prueba, las técnicas de **Detección de Fallas** se han visto limitadas ante los complejos sistemas de la muy alta escala de integración actuales [26]. Para un sistema VLSI la aplicación de pruebas de una manera efectiva, es decir, con una cobertura de fallas superior al 90%, implica necesariamente tiempos de pruebas excesivamente largos que los hacen imprácticos o excesivamente costosos. Además de requerir complejos equipos automáticos de pruebas.

En años recientes, la solución al problema del control de fallas en los sistemas digitales en general y, principalmente, en los sistemas digitales desarrollados con tecnologías VLSI, ha sido enfocada desde una perspectiva distinta. La filosofía de diseño se ha orientado a incluir en el diseño las características necesarias para que, una vez completado el sistema, este exhiba facilidades para ser probado. Este campo del desarrollo tecnológico se le conoce como **Diseño Digital con Capacidad de Prueba** (DDCP) [4], [6], [12], [18], [19], [26], [27]

Todas las técnicas de DDCP están íntimamente relacionadas con la **controlabilidad** de las líneas internas del circuito y con la **observabilidad** [9] de los estados de las líneas del mismo. Además un requisito que se ha impuesto a cualquier técnica utilizada para diseñar un circuito con capacidad de prueba, es que se requiera generar un conjunto de vectores de prueba mínimo. Esto en virtud de que la aplicación de este conjunto mínimo que permite detectar todas las fallas requerirá, obviamente, un tiempo mínimo de verificación de fallas.

Antecedentes del diseño con capacidad de prueba

Un sistema digital de mediana complejidad puede estar constituido por un conjunto de tarjetas desarrolladas utilizando tecnologías SSI o MSI. Para este caso, y aún para algunos sistemas LSI, es posible aplicar al sistema un conjunto de vectores de prueba, seleccionados estratégicamente, para verificar su operación. Esto se logra con la ayuda de equipos automáticos que se encargan de aplicar los estímulos apropiados al sistema y verificar su reacción; a este equipo se conoce normalmente como **Equipo Automático de Pruebas o ATE** (de las siglas en inglés "Automatic Test Equipment") [18].

Durante la década de 1970, con la incursión en el mercado comercial de los dispositivos de tecnología LSI, el problema de la prueba de sistemas se hizo cada vez más complejo, siendo necesario desarrollar nuevos procedimientos y técnicas.

A principios de la década de 1980 la tecnología de los circuitos integrados sufrió un drás-

tico cambio cualitativo y cuantitativo con la incursión en el mercado de la tecnología de muy alta escala de integración (VLSI). Esta tecnología implica un incremento en la cantidad de compuertas del circuito integrado, el cual puede ser de tres a cinco veces mayor que la densidad de integración de LSI. Esta circunstancia implicó una disminución en el costo por compuerta [22], [15] y, por lo tanto, un incremento en la versatilidad y complejidad de los circuitos integrados. Tales características fueron, obviamente, bien recibidas por los diseñadores. Sin embargo, el problema que no fue adecuadamente resuelto para la tecnología LSI salió de nuevo a flote como una restricción imperante: la determinación, a un costo razonable, de cuando un componente, módulo o tarjeta ha sido fabricada correctamente.

Como consecuencia a este estado del desarrollo tecnológico, donde se requiere continuar incrementando la complejidad de los circuitos digitales pero con una confiabilidad controlada, una serie de técnicas, agrupadas bajo la designación de **Diseño Digital con Capacidad de Prueba** (DDCP), han sido desarrolladas. [4], [6], [12], [18], [19], [26], [27].

El Diseño Digital con Capacidad de Prueba, fue inicialmente un conjunto de guías generales de diseño, luego surgieron robustas técnicas de DDCP que se presentaron como técnicas formales. Las técnicas de DDCP pueden ser divididas en tres categorías [4]:

1. **Técnicas ad hoc.** Estas técnicas resuelven el problema de la prueba del sistema, para una aplicación en particular y generalmente no son aplicables a cualquier diseño.
2. **Técnicas Estructuradas.** Estas son técnicas de aplicación general y usualmente involucran una serie de reglas por medio de las cuales los diseños son implementados.
3. **Diseño basado en el Estándar.** Esta es una metodología sistemática desarrollada por un grupo de expertos (JTAG, "Joint Test Action Group") para la IEEE.

El grupo de técnicas **ad hoc** esta dividida en cuatro técnicas [26]. La primera de las técni-

cas está basada en la particionabilidad [10], [11], [12], [19], que consiste en la posibilidad de particionar un sistema digital en un conjunto de redes menores que sean más simples de diseñar con capacidad de prueba y, por ende, más simples y rápidas de probar.

La segunda técnica de este grupo es la que consiste en adicionar puntos de prueba al sistema digital [3], [11], con ello se pretende mejorar la controlabilidad y la observabilidad del sistema y, por lo tanto, mejorar la capacidad de prueba del mismo.

La tercera técnica del grupo es la **Arquitectura de Bus Estructurado** [20],[26] esta es similar a la particionabilidad, en el sentido que la red es separada en subredes menores más manejables. Sin embargo, en este caso las subredes no son diseñadas con capacidad de prueba, sino que se accesan sus buses de entrada/salida.

La cuarta técnica está entre una técnica ad hoc y una técnica estructurada, esta se conoce como **Análisis de Firmas** [20], fue desarrollada por Hewlett Packard y presentada en 1978. El Análisis de Firmas requiere algunas técnicas de diseño a nivel de tarjeta, pero no es dirigida en el mismo sentido que las técnicas estructuradas, esto es, a la habilidad de observar y controlar las variables de estado del sistema.

Las técnicas estructuradas están divididas esencialmente en cinco categorías [26], que persiguen un objetivo en común: controlar y observar el estado de la máquina. La primera técnica es la de multiplexación, conocida también como técnica de **Ruta de Exploración** [17],[13], la cual se basa en sensibilizar rutas para la prueba del sistema, por medio de multiplexores digitales.

La segunda técnica fue desarrollada por IBM y ha tenido muy buena aceptación, esta se conoce como **Diseño por Rastreo Sensitivo de Nivel o LSSD** (de las siglas en inglés: Level Sensitive Scan Design) [2],[4],[6], [13],[25]. Esta es similar a la anterior, sin embargo, utiliza una arquitectura mejor estructurada para el diseño de los registros desplazantes por donde viajan los datos de prueba.

La siguiente técnica es conocida como **Lógica de Exploración/Establecimiento** ("Scan/set Logic") [26]. Esta técnica es similar a la LSSD y a

la Ruta de Exploración, en virtud de que se usan registros desplazantes para cargar y descargar datos, sin embargo, en este caso estos registros no pertenecen a la ruta de exploración del sistema y estos no son necesariamente controlables y observables.

La cuarta técnica es conocida como **Exploración de Acceso Aleatorio** [26], esta es similar a la técnica de Ruta de Exploración y a la técnica LSSD, es decir, se basa en la completa controlabilidad y observabilidad de los registros de prueba internos y, por ende, la generación y simulación de pruebas se trata como un sistema combinacional. La diferencia fundamental con las otras dos técnicas es que esta no utiliza registros desplazantes, sino que cada registro interno es accedido directamente por medio de una dirección, muy similar a una memoria de acceso aleatorio, de ahí su nombre.

La última técnica estructurada es la conocida como **BILBO** [2],[13],[26], (de las siglas en inglés "Built-In Logic Block Observation"). Esta técnica tiene los atributos de LSSD y de la Ruta de Exploración, es decir, la capacidad de separar la parte secuencial de la parte combinacional y tiene además la principal característica del Análisis de Firmas, emplea registros desplazantes de realimentación lineal. Además esta es una técnica de diseño para auto-prueba.

A pesar de la variedad de técnicas y de la efectividad de las mismas, en conjunto todas presentan un inconveniente: el Equipo Automático de Pruebas debe ser diseñado en función de la técnica de DDCP utilizado para desarrollar el sistema digital bajo prueba. Con esta restricción, sobre el diseño a realizar, se tiene una limitante importante a los objetivos del mismo. Además los Equipos Automáticos de Prueba deben ser desarrollados para aplicaciones particulares y se hacen muy costosos [18]. La propuesta de solución a este conflicto es el desarrollo de un **estándar en el Diseño Digital con Capacidad de Pruebas** [18]. Este estándar fue acogido recientemente por ANSI y IEEE.

Métodos de Prueba y Control de Calidad de Tarjetas Electrónicas

Por muchos años los Equipos Automáticos de Pruebas ATE utilizados en la prueba de pro-

ductos electrónicos, han involucrado un importante esfuerzo por dos razones: El incremento en la cantidad de circuitos integrados utilizados en una tarjeta de circuito impreso y por la complejidad de los circuitos integrados por si mismos.

Hasta hace poco los fabricantes de tarjetas electrónicas utilizaban dos métodos generales para probar sus productos: Prueba Interna del Circuito y Prueba Funcional [18], de una manera separada o en secuencia, de manera que se logre detectar los defectos de los productos y se logren altos niveles de calidad.

En el uso del método de **Prueba Interna del Circuito**, las pruebas son aplicadas directamente sobre los componentes individuales y sus interconexiones. El objetivo de este método es aplicar una secuencia apropiada de pruebas para un componente en particular, independientemente de la arquitectura del sistema donde se está utilizando. En este caso se requiere el acceso directo al componente para monitorear sus salidas y conocer el resultado de la prueba.

Este método reduce el costo de desarrollo de las pruebas para cada sistema diseñado, en virtud de que, la funcionalidad de un componente no se ve modificada por la arquitectura donde este sea utilizado, y la misma prueba puede ser aplicada independientemente del sistema en que se encuentra el componente. Es obvio, que para utilizar este método se requiere un extensivo acceso al circuito, debido a que cada conexión debe ser controlada y observada directamente al aplicar la prueba a un componente individual. Este acceso al circuito se logra con un sistema de "cama de pines" en el ATE, de tal manera que se colocan puntos de prueba en cada uno de los nodos del circuito que deseen controlarse y/o observarse [16].

En el caso de los métodos de **Pruebas Funcionales** la principal interfaz para aplicar los estímulos a la tarjeta y para observar la respuesta del circuito es provisto por los terminales normales de la misma, por ejemplo, por medio del terminal de borde. En contraste con el método de Prueba Interna, el método de Pruebas Funcionales tiene la habilidad de comprobar que los distintos componentes que conforman el producto interactúan correctamente y que la función total requerida es ejecutada. En este caso la efectivi-

dad del comportamiento de los componentes y de las conexiones es comprobada con las pruebas. Sin embargo, el desarrollo de una prueba es una tarea compleja, ya que, debe ser generada para cada tarjeta diseñada [18]. Esta tarea puede consumir mucho tiempo y ser extremadamente costosa, en algunos casos prohibitiva [15].

Debido a las diferencias en la operación y en la capacidad de detección de fallas entre las técnicas de Prueba Interna y Prueba Funcional, un método común es utilizar ambas técnicas en secuencia, para lograr una prueba de alta calidad. La evaluación inicial de la tarjeta es realizada por medio del método de Prueba Interna, ya que, esta tiene la habilidad de detectar rápidamente y diagnosticar las fallas más comunes en una tarjeta recién fabricada, por ejemplo, aquellas debidas a errores de soldadura o de colocación de los circuitos integrados. Una vez que la tarjeta ha pasado por esta etapa le es aplicada una prueba funcional donde son verificadas fallas más complejas y menos frecuentes, causadas principalmente por la mala interacción de los componentes. Actualmente existen Equipos Automáticos de Prueba que permiten la operación secuencial de los dos métodos [18].

Tendencias en el Diseño con Capacidad de Prueba

Un aspecto importante en la prueba de sistemas electrónicos ha sido subrayado: el costo de la generación de pruebas, principalmente en las pruebas funcionales. Debido a esto en la década pasada se han desarrollado muchas estructuras de circuitos y técnicas de diseño que pueden ser utilizadas para incrementar la capacidad de prueba del circuito [4], [6], [12], [18],[19], [26], [27], lo cual puede reducir el costo de algunas tareas de prueba [26], [15].

Tal vez la mayor cantidad de esfuerzo en estas técnicas ha sido en: Diseño de Exploración (en inglés: "Scan Design") [6], generación de datos y compactación de circuitos sobre la base de Registros Desplazantes con Realimentación Lineal [20] y el desarrollo de la técnica de Estructura Interna de Auto-Prueba BIST (de las siglas en inglés "Built-In Self-Test") basada en BILBO [14].

Desafortunadamente, sin embargo, muchas de las técnicas son aplicables solo en situaciones donde una empresa tiene la capacidad de adoptar una técnica de DDCP consistente, para utilizarla en todos los niveles de diseño, desde los circuitos integrados hasta los sistemas. Por ejemplo, la técnica de Diseño de Exploración puede ser usada a nivel de tarjeta si un conjunto completo de componentes de Diseño de Exploración está disponible, para que la tarjeta pueda ser construida. Pese a esto, la mayor parte de las tarjetas son construidas a partir de diseños que utilizaron componentes de fabricantes comerciales, que no poseen características especiales, es decir, no ofrecen al diseñador las facilidades que los asistirán en el diseño de las pruebas para su circuito.

Por esta razón el Diseño con Capacidad de Prueba a nivel de tarjeta ha sido una actividad menos estructurada que en el caso de muchos complejos circuitos integrados [18]. Una razón importante de esto es que ha habido poca necesidad de hacerlo, debido a la gran cantidad de equipos para Pruebas Internas disponibles en la industria [18]. A nivel de tarjeta, la facilidad de acceso a sus líneas internas había obviado, o al menos retardado, la necesidad de desarrollar técnicas estructuradas para lograr más acceso a los nodos del circuito, más que aquellos esenciales para probar los circuitos integrados.

El Efecto de la Miniaturización en el DDCP

Las técnicas de pruebas para tarjetas, descritas anteriormente, permanecieron estables durante un periodo relativamente largo de tiempo. Mientras la complejidad de los circuitos integrados se incrementaba rápidamente, la tecnología de interconexión permaneció relativamente estática. De esta manera los Equipos Automáticos de Prueba cumplían a conformidad su función sobre tarjetas desarrolladas con circuitos integrados de doble línea, DIP (del inglés Dual-In-Line Package) y con la tecnología de conexión de hueco metalizado, PTH (del inglés "Plated-Through-Hole").

Con esta tecnología las tarjetas desarrolladas permitían un extensivo acceso a los componentes y su interconexión, necesarias para el diagnóstico de fallas en la "cama de pines".

Recientemente, sin embargo, se ha incrementado la tendencia hacia el uso de la tecnología de Montaje en Superficie, SMT (del inglés "Surface-Mount Technology"), para el diseño de tarjetas, la cual no requiere de las conexiones de hueco metalizado entre las distintas capas de conexionado. Actualmente se ve claro que esta será la opción de diseño más importante para complejas tarjetas en la década del 90 [3]. Esta tendencia es el resultado de una gran cantidad de factores, principalmente de la necesidad de construir dispositivos con una gran cantidad de pines y la continua tendencia hacia la miniaturización.

La nueva tecnología de interconexión ha tenido un considerable impacto sobre las actuales técnicas de prueba de tarjetas, principalmente debido al reducido espacio entre los pines de un dispositivo, que de hecho prohíbe el acceso a ellos durante las pruebas. Como resultado de esta situación, el costo de la "cama de pines" para las tarjetas desarrolladas con SMT es alto y la prueba de conexión de componentes puede ser imposible, donde la densidad de componentes sea muy grande.

Actualmente se han desarrollado algunas soluciones alternativas, como el uso de "tostadores", es decir, camas de pines por ambos lados, para mejorar el acceso a la tarjeta [3], [18].

Una proyección a futuro permite ver que la ausencia de metodologías de prueba, que tengan una buena relación de costo/efectividad, para tarjetas con tecnología SMT será el principal obstáculo en la utilización de técnicas de muy alta densidad, actualmente en desarrollo [3].

Conclusiones:

La Necesidad de una Nueva Técnica

Los dos factores principales que han tenido un efecto adverso en la prueba de tarjetas son:

1. Los circuitos integrados de los productos electrónicos han incrementado significativamente su complejidad, y esta complejidad contribuye de manera importante a la dificultad de prueba de la tarjeta. Generalmente los dispositivos disponibles comercialmente no ofrecen ningún soporte que facilite las pruebas al diseñador.

2. El incremento en el uso de componentes con tecnología de montaje en superficie, donde el acceso a las conexiones es considerablemente más limitado que para la tecnología DIP con PTH. Es claro, que existen técnicas de prueba, particularmente del tipo Prueba Interna [3], las cuales estarán limitadas con el continuo desarrollo de la tecnología. En efecto, el uso de SMT está acercando la dificultad de probar circuitos integrados y tarjetas completas: las tarjetas deben ser probadas por las entradas y salidas normales, de una manera funcional, como en el caso de los circuitos integrados.

Aunque se reconoce que la técnica de Pruebas Funcionales es la mejor opción para el avance de la tecnología SMT, esta técnica tiene el inconveniente de requerir la generación de comprensivos programas de prueba para cada diseño separado. Este proceso es extremadamente costoso para tarjetas complejas, debido a la complejidad de controlar y observar los componentes individuales a través de otros en la tarjeta. Para el caso de circuitos integrados que solo soportan pruebas funcionales, se debe utilizar técnicas estructuradas de DDCP, tales como Ruta de Exploración o BILBO, para ofrecer alguna facilidad al diseñador que debe realizar las pruebas.

Por esta razón, la tecnología actual demanda el uso de técnicas estructuradas para el diseño, tales como Diseño de Exploración o Auto-Prueba, más que una evolución de las técnicas actuales para la prueba de tarjetas.

En efecto, recientemente muchas compañías han estado utilizando una técnica similar al Diseño de Exploración, que provee la funcionalidad requerida. Esta técnica se conoce como: **Técnica del Exploración de Fronteras**. La ventaja para estas compañías es que han diseñado sus sistemas completamente, o predominantemente, con Circuitos Integrados de Aplicación Específica, ASIC (del inglés "Application Specific Integrated Circuits"). Estos dispositivos tienen las facilidades para ayudar a resolver el problema de pruebas.

La oportunidad de poder contar enteramente con los dispositivos ASIC para lograr un diseño con capacidad de prueba es, sin embargo,

muy escasa. Esto en virtud de que no había una directriz hacia la cual los fabricantes de circuitos integrados orientaran sus esfuerzos, de tal manera, que les fuera posible ofrecer una solución uniforme al problema, mediante una metodología estructurada.

La existencia de un estándar, ampliamente soportado, se imponía al reto del desarrollo de las nuevas tecnologías, sin las anteriores limitaciones que dificultaban su progreso. Este ha sido el móvil fundamental para el desarrollo y aprobación del estándar ANSI/IEEE 1149.1, basado en la Arquitectura de Exploración de Fronteras, el cual se postula como la alternativa del futuro de la tecnología electrónica de alta integración. Desde la perspectiva integral del problema de fallas y su detección que se ha discutido se justifica el estudio completo e intensivo del estándar ANSI-IEEE 1149.1

BIBLIOGRAFÍA

- [1] Akers, S.B. *Partitions for Testability*. Journal on Design Automatic Fault-Tolerant Computers. Volume 1. Febrero 1979. Pag 12-18
- [2] Bennetts, R.G. *Design of Testable Logic Circuits*. Addison-Wesley Publishing Company. Londres, Inglaterra. 1983.
- [3] Bullock, M. *Designing SMT Boards for In-Circuit Testability*. IEEE International Test Conference. IEEE Computer Society Press. Los Alamitos California. 1987. Pags 2-14
- [4] DasGrupta, S. E.B. Eichelberger y T.W. Williams. *LSI Chip Design for Testability*. International Solid State Circuits Conference. San Francisco, California. Febrero 1978
- [5] Delgado, Geovanny. *Detección de Fallas con el Algoritmo D*. Revista de Ingeniería. Universidad de Costa Rica. Volumen 2, Número 2, Julio/Diciembre 1992. Págs. 31-42

- [6] Eichelberger, E.B. y T.W. Williams. *A logic Design Structured for LSI Testability*. Journal Design Automatic Fault-Tolerant Computers. Volume 2. May 1978. Pag 98-112
- [7] Fasang, P.P. *ASIC Testing in a Board/System Environment*. IEEE Custom Integrated Circuit Conference. IEEE New York. 1989.
- [8] Friedman, A.D. y P.R. Menon. Fault Detection in Digital Circuits. Prentice-Hall Inc. New Jersey, U.S.A. 1971
- [9] Goldstein, L.H.. *Controllability/Observability Analysis in Digital Circuits*. IEEE Transactions on Circuits and Systems. Volume CAS-26. September, 1979. Pag 12-25
- [10] Gupta, B., Y.K. Malaiga, Y. Min y R. Rajsuman. *On Designing Robust Testable CMOS Combinational Circuits*. IEEE Proceedings. Volume 136. Number 4. July 1989.
- [11] Hayes, J.P. *On Modifying Logic Networks to Improve Their Diagnosability*. IEEE Transactions on Computers. Volume C-23. January 1974. Pags 12-28
- [12] Hewlett-Packard Applications Note *Designing Digital Circuits for Testability*. 210-4. Loveland, CO.
- [13] Lala, P.K. Fault Tolerant and Fault Testable Hardware Design. Prentice-Hall International. London, England. 1985.
- [14] LeBlanc, J.J.. *LOCST: A Built-In Self-Test Technique*. IEEE Design and Test of Computers. Volume 1, Number 4. November, 1984. Pags 12-30
- [15] Levitt, M.E. y J.A. Abraham. *The Economics of Scan Design*. IEEE International Test Conference. IEEE Computer Society Press. Los Alamitos, California. 1989.
- [16] Lien, J.C and M.A. Breuer. *A Universal Test and Maintenance Controller for Modules and Boards*. IEEE Transaction on Industrial Electronics. Volume 36, Number 2. May, 1989. Pags 42-58
- [17] MacCluskey, E.J. y F.W. Clegg. *Fault Equivalence in Combinational Logic Networks*. IEEE Transaction on Computers. Volume C-20. November, 1971. Pag. 31-49
- [18] Maunder, C.M. y R.E. Tullos. The Test Access Port and Boundary Scan Architecture. IEEE Computer Society Press. Los Alamitos, California. 1990.
- [19] Muehldorf, E.I. y A.D.Savkar. *LSI Logic Testing -An Overview*. IEEE Transaction on Computers. Volume C-30. January 1981. Pag 45-57
- [20] Nadig, H.J. *Signature Analysis- Concepts, Examples and Guide-lines*. Hewlett-Packard Journal. Mayo 1977.
- [21] Ogus, R.C. *The Probability of a Correct Output from a Combinational Circuit*. IEEE Transactions on Computers. Volume C-24. May 1975. Pag 86-98
- [22] Rappaport, A.S. y S. Halevi. *The Computerless Computer Company*. Harvard Business Review. Julio-Agosto. 1991. Pag 3- 8
- [23] A.K. Susskind. *Diagnosis for Logic Networks*. IEEE Spectrum. Octubre 1973. Pag 23- 29
- [24] To, K. *Fault Folding for Irredundant and Redundant Combinational Circuits*. IEEE Transaction on Computers. Volume C-22. November, 1973. Pag 102-117
- [25] Williams, M.J.Y y J.B. Angell. *Enhancing Testability of Large Scale Integrated Circuits via Test Point and Additional Logic*. IEEE Transaction on Computers. Volume C-22. January 1973 Pag. 52-77

[26] Williams, T.W. y K.P.Parker. *Design for Testability*. IEEE Transaction on Computers. Volume C-31. January, 1982. Pag. 63-79

[27] Williams, T.W. y K.P. Parker. *Testing Logic Networks and Desing for Testability*. Computer. October 1979.

Analisis y
Comentarios